

OSP-10685

DA 리지 2F

공개특허 제 1998-60577호 (1998.10.07) 1부.

[첨부그림 1]

특 1998-060577

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)(51) Int. Cl.⁸

(11) 공개번호 특 1998-060577

G11C 11/24

(43) 공개일자 1998년 10월 07일

(21) 출원번호 특 1996-079939
(22) 출원일자 1996년 12월 31일
(71) 출원인 현대전자산업 주식회사 김영환
경기도 마천시 부발읍 마미리 산 136-1
(72) 발명자 이종섭
경기도 광주군 광주읍 송정리 108-25
(74) 대리인 이권희, 이정훈

심사청구 : 없음

(54) 시간지연회로

요약

본 발명은 인버터 체인의 임계경로에 MOS 캐패시터를 가진 시간지연회로에 관한 것으로, 입력라인 및 출력라인 사이에 적어도 2개 이상 직렬접속된 인버터들과, 소오스와 드레인이 상기 홀수번째 인버터의 출력단자에 공통으로 접속되고 게이트가 접지 전압에 각각 연결된 MOS 캐패시터들을 구비하여 인버터 체인의 임계경로에 접속된 MOS 캐패시터를 축적 영역에서만 동작하도록 함으로써, 종래의 회로보다 시간지연특성을 향상시키는 효과가 있다.

도표도

도 2

명세서

도면의 간단한 설명

도 1은 종래의 MOS 캐패시터를 가진 시간지연회로도.
도 2는 본 발명의 실시예에 따른 MOS 캐패시터를 가진 시간지연회로의 회로도.
도 3은 본 발명에 따른 실시예에 따른 시뮬레이션 결과를 나타낸 그래프도.

도면의 주요 부분에 대한 부호의 설명

IN1, IN2 : 입력 신호 OUT1, OUT2 : 출력신호

INV1 ~ INV2N : 인버터 CAP11 ~ CAP2M : 캐패시터

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 인버터 체인(inverter)의 임계경로에 MOS 캐패시터를 가진 시간지연회로에 관한 것으로, 특히 상기 MOS 캐패시터가 축적 영역(Accumulate Region)에서만 동작하도록 하여 시간지연특성을 향상시킨 시간지연회로에 관한 것이다.

종래의 MOS(MOS) 캐패시터(Capacitor)를 가진 시간지연회로는 도 1에 도시된 바와 같이, 입력단자(IN1)와 출력단자(OUT1) 사이에 N개로 직렬접속된 인버터들(INV1 ~ INVN)과, 홀수번째 인버터(INV1, INV3, ...)의 출력단자에 게이트(Gate)가 각각 접속되고 소오스(Source)와 드레인(Drain)이 공통으로 접지(Vss)에 각각 연결된 MOS(MOS) 캐패시터들(CAP1 ~ CAPM)로 구성되어 있다.

상기 인버터 체인(Inverter Chain, INV1 ~ INVN)은 통상적으로 두개의 C-MOS형 트랜지스터로 구성되어 지며 입력 신호를 완충하는 버퍼(buffer)로서 동작한다. 그리고, 상기 시간지연회로는 기본적으로 인버터 체인(INV1 내지 INVN)의 P-MOS와 N-MOS 트랜지스터의 폭(Width : W)과 길이(Length : L)의 비 즉, W_p/L_p , W_n/L_n 의 로직(Logic)을 이용하여 부가적으로 MOS 캐패시터(Cap 11 내지 Cap1M)를 인버터 체인(Inverter Chain)에 포함시켜 임계경로(Critical Path)의 로드(Load)로 작용하게 함으로써 입력 신호(IN1)에 적당한 지연시간을 가진 출력신호(OUT1)를 출력하게 된다.

그러나, 도 1에서 도시한 인버터 체인(inv1 내지 invN)에 부가된 MOS 캐패시터(Cap11 내지 Cap1M)는 게이트가 인버터 체인(inv1 내지 invN)의 임계경로(Critical Path)에 접속되고 소오스와 드레인이 공통

으로 접지 전압(V_{ss})에 연결되어 있어서 게이트 전압의 변화에 따라 캐패시터의 값이 변하게 되어 지연시간(Delay Time)이 일정하지가 못하다. 즉 게이트 전압이 변하면 캐패시터의 값이 축적 영역(Accumulate Region), 공핍 영역(Depletion Region), 반전 영역(Inversion Resion)으로 변하므로 지연시간이 일정하지 못하고 시간에 따라 변하는 문제점이 있었다.

발명이 이루고자하는 기술적 과제

따라서 본 발명의 목적은 인버터 체인의 임계경로에 접속된 모스 캐패시터를 축적 영역에서만 동작하도록 함으로써, 종래의 회로보다 시간지연특성을 향상시킨 시간지연회로를 제공하는데에 있다.

상기 목적을 달성하기 위하여, 본 발명의 시간지연회로는 입력라인 및 출력라인 사이에 적어도 2개 이상 직렬접속된 인버터들과, 소오스와 드레인이 상기 홀수번째 인버터의 출력단자에 공통으로 접속되고 게이트가 접지 전압에 각각 연결된 모스 캐패시터들을 구비하였다.

발명의 구성 및 작용

이하, 본 발명의 실시예에 따른 모스 캐패시터를 가진 시간지연회로를 첨부한 도면을 참조하여 더 상세히 설명하기로 한다.

도 2는 본 발명의 실시예에 따른 모스 캐패시터를 가진 시간지연회로로서, 입력라인(ϕ_{IN2}) 및 출력라인(ϕ_{OUT2}) 사이에 적어도 2개 이상 직렬접속된 인버터들($INV21 \sim INV2N$)과, 소오스와 드레인이 상기 홀수번째 인버터($INV21, INV23, \dots$)의 출력단자에 공통으로 접속되고 게이트가 접지 전압(V_{ss})에 각각 연결된 모스 캐패시터들($CAP21 \sim CAP2M$)으로 구성된다.

상기 모스 캐패시터($CAP21 \sim CAP2M$)는 게이트가 접지 전압(V_{ss})에, 소오스와 드레인은 서로 접속되어 임계 경로에 접속되어 있으므로, 소오스와 드레인의 전압이 변화에 따라 임계경로의 지연시간의 차이가 발생하게 된다.

도 1에 도시된 종래의 모스 캐패시터($CAP11 \sim CAP1M$)는 캐패시턴스가 게이트의 전압이 변화에 따라 축적 영역, 공핍 영역, 반전 영역으로 변하는 것에 반해, 도 2에 도시한 본 발명의 모스 캐패시터($CAP21 \sim CAP2M$)는 소오스와 드레인의 전압이 변화에 따라 축적 영역에서의 캐패시턴스가 사용되는 것으로 캐패시턴스의 변화량이 없고 임계경로의 지연시간이 종래의 회로보다 길어진다.

발명의 효과

상기한 바와 같이, 본 발명의 모스 캐패시터를 이용한 시간지연회로는 종래의 회로와 비교하여 시뮬레이션을 해본 결과 도 3에 도시한 바와같이 종래 회로의 출력단자인 ψ_{out1} 과 본 발명의 출력단자인 ψ_{out2} 의 시간지연특성을 비교해보았을 때 본 발명의 시간지연특성이 0.1ns~0.2ns정도 좋았다. 본 발명은 소오스 및 드레인을 인버터 체인의 임계경로에 접속하고 게이트를 그라운드에 접속하여 모스 캐패시터의 캐패시턴스가 항상 축적 영역으로 동작하도록하여 동일 면적당 캐패시턴스를 크게할 수 있는 효과가 있다.

(5) 청구의 범위

청구항 1. 반도체 소자의 모스 캐패시터를 가진 시간지연회로에 있어서,

입력라인 및 출력라인 사이에 적어도 2개 이상 직렬접속된 인버터들과,

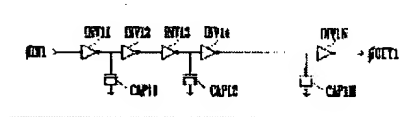
소오스와 드레인이 상기 홀수번째 인버터의 출력단자에 공통으로 접속되고 게이트가 접지 전압에 각각 연결된 모스 캐패시터들을 구비한 것을 특징으로 하는 시간지연회로.

청구항 2. 제 1항에 있어서,

상기 모스 캐패시터는 항상 축적 영역에서만 동작되어 캐패시턴스를 크게 갖는 것을 특징으로 하는 시간지연회로.

도면

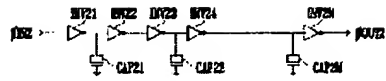
도면1



[첨부그림 1]

특1998-060577

도 B2



도 B3

